

所属	理工学部	身分	教授
氏名	築山 修治		
NAME	TSUKIYAMA, Shuji		

### 1. 研究課題

(和文) 製造ばらつきを考慮した集積回路のタイミング検査手法の効率化に関する研究

(英文) Study on Efficient Timing Analysis of LSI Considering Process Variability

### 2. 研究期間

2年間 (2010年4月～2012年3月)

### 3. 研究の概要 (背景・目的・研究計画・内容および成果 和文 600字程度、英文 50word 程度)

微細加工技術の進歩に伴い、製造ばらつきによる回路特性のばらつきが増大しており、デジタル集積回路設計においても、このばらつきを無視することができなくなっている。そのため、予め各素子の特性がばらつくことを想定し、統計的な考え方をを用いて回路設計を行う必要が生じている。本研究では、製造された回路のタイミング検査を効率化する手法について考察し、タイミング検査を行うべきクリティカルパスを効率的に同定するための手法、およびそれを用いて、検査すべきパス集合を効率的に抽出するための手法を構築した。

前者に対しては、統計的静的遅延解析手法の高精度化に取り組み、漸近的時間計算量を増加させることなく、タイミング違反確率の精度を最大90%改善する手法を構築した。この成果は電子情報通信学会英文論文誌Aに掲載された。また、そのプログラムを国際会議の大学ブースにおいて展示した。後者に関しては、クリティカルパスを構成する可能性の低い経路を除去し、対象回路の規模を縮小する手法を構築した。この手法に関してはプログラム化が遅れており、現在性能検証を行っているところである。

なお、製造時は問題の無かった回路が、経年劣化により10年後にタイミング違反を犯すという懸念が生じてきたので、使用現場でタイミング検査を行うパス集合も抽出できるよう、設計時に経年劣化の影響を考慮できる統計的静的遅延解析手法についても研究した。

In this research, we considered statistical static timing analysis to handle the current issues of LSI design. We proposed a new statistical maximum algorithm for calculating accurate probability of timing violation, and an algorithm of reducing the size of circuit in order to find an optimal set of critical paths for which timing test is conducted.

### 4. おもな発表論文等 (予定を含む)

<b>【学術論文】</b> （著者名、論文題目、誌名、査読の有無、巻号、頁、発行年月）
Shuji Tsukiyama and Masahiro Fukui, “A Statistical Maximum Algorithm for Gaussian Mixture Models Considering the Cumulative Function Curve,”
IEICE Trans. Fundamentals, 査読有り,
vol.E94-A, no.12, pp.2528-2536, 2011年12月
<b>【学会発表】</b> （発表者名、発表題目、学会名、開催地、開催年月）
築山修治, “経年劣化を考慮した統計的遅延解析の一手法”,
情報処理学会 SLDM 研究会, 松島町（宮城県）, 2012年3月
Shuji Tsukiyama, “C-based timing driven design,”
DATE 2012, Dresden (Germany), 2012年3月
<b>【図 書】</b> （著者名、出版社名、書名、刊行年）
<b>【その他】</b> （知的財産権、ニュースリリース等）