

## 2011 年度 中央大学特定課題研究費 一研究報告書一

所属	理工学部	身分	教授
氏名	榎本 忠儀		
NAME	Tadayoshi Enomoto		

## 1. 研究課題

(和文) 高精細動画像符号化プロセッサ L S I とその低電力化技術の研究

(英文) Low Power Multimedia Processor LSIs for Super Hi-Vision (SHV)

## 2. 研究期間

2年間

## 3. 研究の概要（背景・目的・研究計画・内容および成果 和文 600 字程度、英文 50word 程度）

(和文)

**背景**: 2014 年に次世代高画質テレビ (4K ;3,840 画素×2,160 ライン) の放送が、2016 年に臨場感あふれるスーパーハイビジョン(SHV または 8K;7,680 画素×4,320 ライン) の実用化試験放送が、それぞれ開始される予定である。

**目的**: 本研究は、(1) 4K、8K に向けた低電力・超高速動画像符号化プロセッサ LSI、(2) 本低電力・超高速プロセッサの実現に必須な超高速動画像符号化アルゴリズム、(3) LSI が直面する過大なリーク電流を削減する新技術、等を開発する。

**研究成果**: (1) 本低電力・超高速プロセッサを構築するために必須の基礎技術 (LSI アーキテクチャ、低電圧動作技術、リーク電流削減技術、等) とこれらを適用した動画像符号化プロセッサ LSI を構築し、その特性を評価した。(2) 新しい発想に基づく動的電圧・周波数協調 (DVFS) 向けた動きベクトル検出アルゴリズム ( $A^2BC$ ) を開発し、 $A^2BC$  を適用した DVFS 制御形動画像符号化プロセッサ LSI を開発した。(3) 4K、8K に向けた超高速動きベクトル検出アルゴリズム (帶状探索窓アルゴリズム : SSW) を開発し、SSW を適用した並列形動画像符号化プロセッサ LSI を開発した。(4) 動画像符号化プロセッサ LSI のアーキテクチャおよび LSI を構成する 低電力差分絶対値和回路、最小値検出回路、低リーク電流・低電圧 SRAM、等を開発し、性能を評価した。

(英文)

To greatly reduce the power dissipation two types of high-speed CMOS multimedia processor LSIs were developed. First type employs both a dynamic voltage and frequency scaling (DVFS) technique and an “adaptively assigned breaking-off condition ( $A^2BC$ )” block motion estimation (BME) algorithm. Second type uses a “stick-shaped window (SSW)” BME algorithm for super hi-vision (SHV).

#### 4. おもな発表論文等（予定を含む）

##### 【学術論文】（著者名、論文題目、誌名、査読の有無、巻号、頁、発行年月）

T. Enomoto and N. Kobayashi, "A Large "Read" and "Write" Margins, Low Leakage Power, Six-Transistor 90-nm CMOS SRAM", IEICE Tran. on Electronics, 査読有, vol. E94-C, no. 4, pp. 530-538, April 2011.

Tadayoshi Enomoto and Nobuaki Kobayashi, "A Low Power Multimedia Processor Implementing Dynamic Voltage and Frequency Scaling Technique and Fast Motion Estimation Algorithm Called "Adaptively Assigned Breaking-off Condition (A<sup>2</sup>BC)", IEICE Tran. on Electronics, 査読有, vol. E96-C, no. 4, pp. 424-432, April 2013.

##### 【学会発表】（発表者名、発表題目、学会名、開催地、開催年月）

Tadayoshi Enomoto and Nobuaki Kobayashi, "A Low Power Multimedia Processor Implementing Dynamic Voltage and Frequency Scaling Technique", in Proc. ASP-DAC2013, Design Contest, 1D-3, pp.75-76, in Yokohama, Kanagawa, Jan. 2013.

Nobuaki Kobayashi and Tadayoshi Enomoto, "A Low Power Multimedia Processor Implementing Block Motion Estimation Algorithm Having Capability of Adaptively Predicting both Optimum Clock Frequency and Optimum Supply Voltage", in Proc. 2013 International Workshop on Nonlinear Circuits, Communication and Signal Processing, 7PM-1-3-1, pp. 653-656, in Kona, Hawaii, Mar. 2013.

榎本忠儀、「帯状探索窓を採用した超高速動きベクトル検出アルゴリズムとこれを適用した低電力 90nm-CMOS動きベクトル検出アレイ」、信学技報、ICD2011-47、pp. 47 - 52、2011年8月25日。

榎本忠儀、藤澤直也、「周辺マクロブロックの動きベクトルの一致を背景と見なし探索を中止する超高速 帯状探索窓動きベクトル検出アルゴリズム」、2011年電子情報通信学会基礎・境界ソサエティ大会、基礎・境界講演論文集、A-4-12、p. 106、2011年9月14日。

榎本忠儀、小林伸彰、「低電圧動作 CMOS SRAM」、信学総合大会講演論文集、電子情報通信学会、エレクトロニクス講演論文集 2、p. 77、C-12-5、2012 年 3 月 20 日。

山中大輔、和田雅樹、榎本忠儀、「動きに追随してフレーム形探索窓サイズを適応的に縮小する SHV 向け動きベクトル検出アルゴリズム」、信学総合大会講演論文集、電子情報通信学会、情報・システム講演論文集 2、p. 37、D-11-37、2012 年 3 月 21 日。

関健太郎、桜井隼人、千田敏弘、小林伸彰、榎本忠儀、「動きに追随して探索領域のサイズと方向を適応的に決定する SHV 向け動きベクトル検出アルゴリズム」、信学総合大会講演論文集、電子情報通信学会、情報・システム講演論文集 2、p. 38、D-11-38、2012 年 3 月 21 日。

榎本、小林、「読み出しマージンを拡大した低電圧動作 SRAM の開発」、2012 年電子情報通信学会エレクトロニクスソサエティ大会、エレクトロニクス講演論文集 2、C-12-36、p. 109、2012 年 9 月 13 日。

関健太郎、榎本忠儀、「探索点数を大幅に削減した SHV 向け改良“帯状探索窓”動きベクトル検出アルゴリズム」、2012 年電子情報通信学会基礎・境界ソサエティ大会、基礎・境界講演論文集、A-4-21、p. 76、2012 年 9 月 14 日。

榎本、小林、「動的電圧・周波数スケーリングに向けた動きベクトル検出アルゴリズムとこれを適用した低電力動きベクトル検出プロセッサの開発」、信学技報、ICD2012-70、pp.71-76、2012 年 10 月 19 日。

伊藤隆祐、小林伸彰、榎本忠儀、「不揮発性 CMOS SRAM の開発 (Development of Non-Volatile CMOS SRAM)」、信学総合大会講演論文集、電子情報通信学会、エレクトロニクス講演論文集 2、p. 81、C-12-10、2013 年 3 月 19 日。

本島浩二、小林伸彰、榎本忠儀、「CMOS レジスタの高速化・低電力化 (High-Speed and Low-Power CMOS Register)」、信学総合大会講演論文集、電子情報通信学会、エレクトロニクス講演論文集 2、p. 82、C-12-11、2013 年 3 月 19 日。

小林伸彰、榎本忠儀、「DVFS制御向け量子化デコーダの開発とその動きベクトル検出プロセッサへの応用」、信学総合大会講演論文集、電子情報通信学会、エレクトロニクス講演論文集 2、p. 86、C-12-15、2013 年 3 月 19 日。

関健太郎、小林伸彰、榎本忠儀、「探索開始位置を最適化した SHV (8K) 向け改良“帯状探索窓”動きベクトル検出アルゴリズム」、信学総合大会講演論文集、電子情報通信学会、情報・システム講演論文集 2、p. 63、D-11-63、2013 年 3 月 21 日。

##### 【その他】（知的財産権、ニュースリリース等）

榎本、「ブロックマッチング処理回路およびブロックマッチング処理方法」、請求項の数：3、整理番号：PD111872、出願(申請)番号：特願 2011-162127、提出日：平成 23 年 7 月 25 日、受付番号：51101494598。