

# 3D NAND フラッシュメモリの垂直方向の電荷移動を抑制することで、メモリエラー40%削減とデータ保持寿命の2.8倍増加に成功

学校法人 中央大学

## 概 要

中央大学 理工学部 教授 竹内 健のグループは、大容量で低コストな3D(3次元) NAND フラッシュメモリにおける垂直方向の電荷の移動がメモリセルの信頼性を劣化させることを明らかにしました。そして電荷移動を抑制する手法“ $V_{TH}$  Nearing”を開発することにより、データ保持中のメモリのエラーを40%削減し、メモリがデータを保持できる時間を2.8倍に増加させることに成功しました。本成果は、隣接するメモリセルのしきい値電圧( $V_{TH}$ )の間隔を近づけるようにSSDコントローラで変調を掛けることで、垂直方向の電界が低減し電荷移動が抑制されることにより可能となりました。

現在、フラッシュメモリは主にスマートフォンやタブレットなどに使われています。2次元のフラッシュメモリが微細化の限界を迎える中、垂直方向にメモリセルを積層する3次元化によって更なるメモリの大容量化が期待されています。本技術は3D NAND フラッシュメモリに固有の信頼性の問題を解決するもので、3D NAND フラッシュメモリの今後の更なる大容量化を可能にし、大容量のメモリを必要とするクラウドデータセンタの記憶媒体としての使用が期待できます。

本研究は、JSTの委託事業である戦略的創造研究推進事業 チーム型研究(CREST)の研究領域「素材・デバイス・システム融合による革新的ナノエレクトロニクス」の研究題目「デジタルデータの長期保管を実現する高信頼メモリシステム」において実施されたものです。

本研究成果は、2017年12月2日から6日にサンフランシスコで開催された「IEEE International Electron Devices Meeting (IEDM)」で発表されました。

\*\*\*\*\*

### 【研究者】

竹内 健 中央大学理工学部 教授(電気電子情報通信工学科)

**【発表(雑誌・学会)】**

本研究成果は、2017 年 12 月 2 日から6日にサンフランシスコで開催される「IEEE International Electron Devices Meeting (IEDM)」で発表されました。

論文名:Lateral Charge Migration Suppression of 3D-NAND Flash by  $V_{TH}$  Nearing for Near Data Computing

## 【研究内容】

### 1. 背景

2次元の NAND フラッシュメモリ<sup>注1)</sup>が微細化の限界を迎え、メモリセルを3次元に積層する3D NAND フラッシュメモリ(図1)により更なるメモリの大容量化が行われています。フラッシュメモリのような、電源を切ってもデータを失わない不揮発性メモリには、メモリセルがデータを保持する寿命に制限があるという問題がありました。2次元の NAND フラッシュメモリでは、データを記憶するメモリセルの電荷蓄積層が分離しているためメモリセルの間で電荷の移動は生じません。一方、3D NAND フラッシュでは図2に示すように、上下のメモリセルで電荷蓄積層がつながっているため、垂直方向の電界によって隣のメモリセルに電荷が移動し、やがて記憶したデータが失われる問題があります。特に1個のメモリセルに3ビットの情報を記憶することで大容量を実現する TLC(Triple-Level Cell)セルでは、図3に示すように8個のしきい値電圧<sup>注2)</sup>の状態(P0~P7)が存在し各状態間の間隔が小さくなることから、電荷移動によって不良になりやすいという問題があります。

### 2. 研究内容と成果

本研究では3D NAND フラッシュメモリに固有な不良の現象として、垂直方向の電荷の移動に注目しました。まず電荷移動の現象を詳細に評価、解析しました。図4に示すように、隣接するメモリセル間のしきい値電圧の差が大きくなるほど垂直方向の電界が強くなり、その結果電荷移動によりしきい値電圧が大きく変化して不良になってしまう事が明らかになりました。

この垂直方向の電荷の移動を抑制するため、本研究チームは  $V_{TH}$  Nearing を開発しました。図5では WL(n+1)のメモリセルを書き込む場合を示しています。本手法は SSD 中のフラッシュメモリを制御する SSD コントローラに搭載されます。提案の制御手法では、WL(n+1)のデータを右に1個、2個、3個・・・7個、シフトなしの8通りを選択することが可能です。そして、WL(n)とWL(n-1)、WL(n+1)との間のしきい値電圧が一番近くなる(電荷の移動が一番小さくなる)シフト量を選択します。これにより、図6の実験結果に示すように、上下のメモリセルのしきい値電圧を近づけることに成功しました。例えば図6の上図で両隣が高いしきい値電圧の状態(P7)であれば、WL(n)のしきい値電圧は高く設定され、下図では両隣が低いしきい値電圧の状態(P0)であれば、WL(n)のしきい値電圧は低く設定されることがわかります。このように隣のメモリセルのしきい値電圧を自動的に近づけることにより、垂直方向の電界が小さくなり、結果として電荷移動を抑制することに成功しました。その結果、図7に示すように、データ保持中のメモリセルのエラーを40%削減し、データ保持の寿命を2.8倍に伸ばすことに成功しました。

### 3. 今後の展開

3D NAND フラッシュメモリに固有の電荷の移動は、今後メモリセルのサイズが縮小され大容量化されると更に悪化することが予想されます(図8)。  $V_{TH}$  Nearing により電荷移動に起因するデータ損失を防ぎ、3D NANDフラッシュメモリを大容量化する上での問題の1つを克服することができます。今後、大容量のメモリを必要とするクラウドデータセンタ<sup>注3)</sup>の記憶媒体としての使用が期待できます。

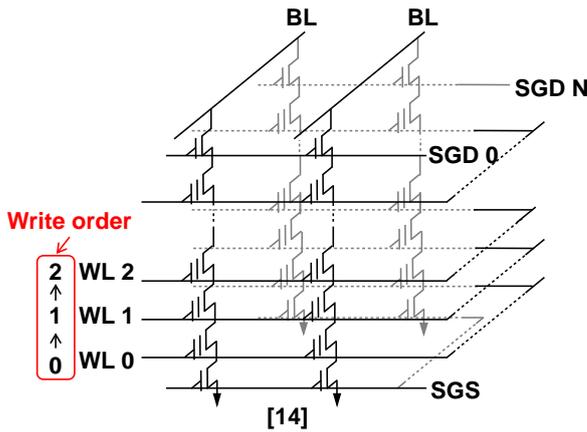


図1. 3D NAND フラッシュメモリ。  
垂直方向にメモリセルが積層され、  
下層のメモリセルから (WL0、  
WL1...) 書き込みが行われる。

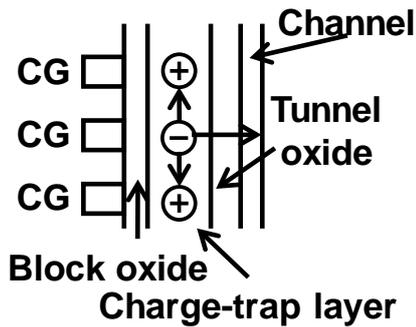


図2. 3D NAND フラッシュメモリの垂  
直方向の電界により電荷蓄積層  
(Charge-trap layer)に蓄えた電荷が  
移動する。

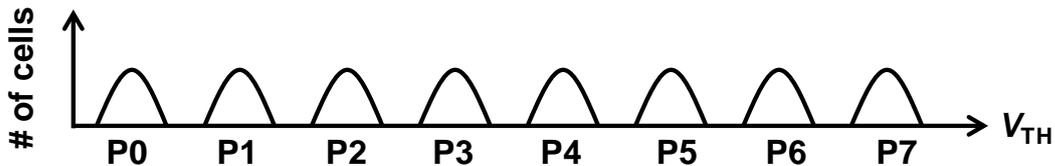


図3. TLC (Triple-Level Cell) NAND フラッシュメモリのしきい値電圧の分布。  
1個のメモリセルに3ビットを記憶し、P0、P1...P7 の8個の状態を持つ。

Neighboring  $V_{TH}$  state : □ "P0"-state ○ "P1"-state  
 □ "P2"-state △ "P3"-state ◇ "P4"-state  
 × "P5"-state \* "P6"-state + "P7"-state

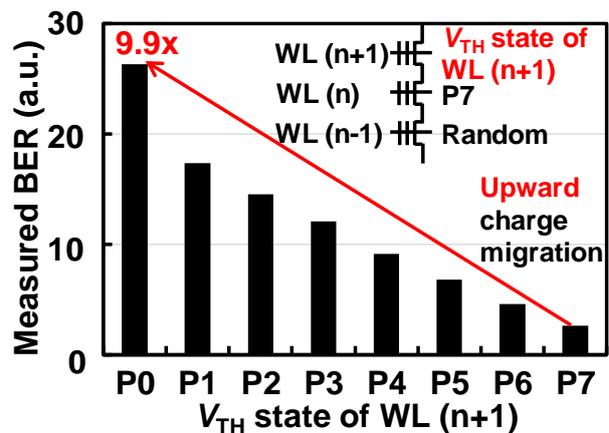
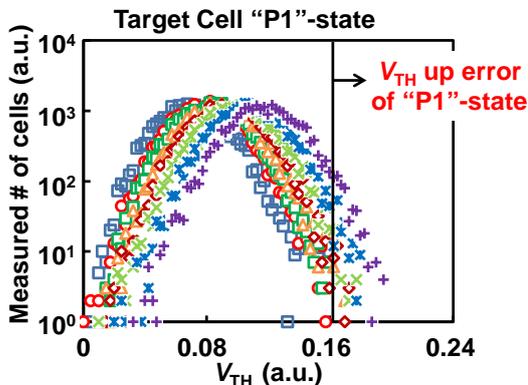


図4. 観測した垂直方向の電荷移動。(左図)しきい値電圧の分布。隣のメモリセルとのしきい値電圧の差が大きくなるほど (P0→P1→P2...となると)、電荷移動によりしきい値電圧が上昇しエラーになる。(右図)メモリセルのエラー率 (BER)。隣のメモリセルとのしきい値電圧の差が大きくなるほど (P7→P6→P5...となると)、メモリセルのエラー率 (BER) が増加する。

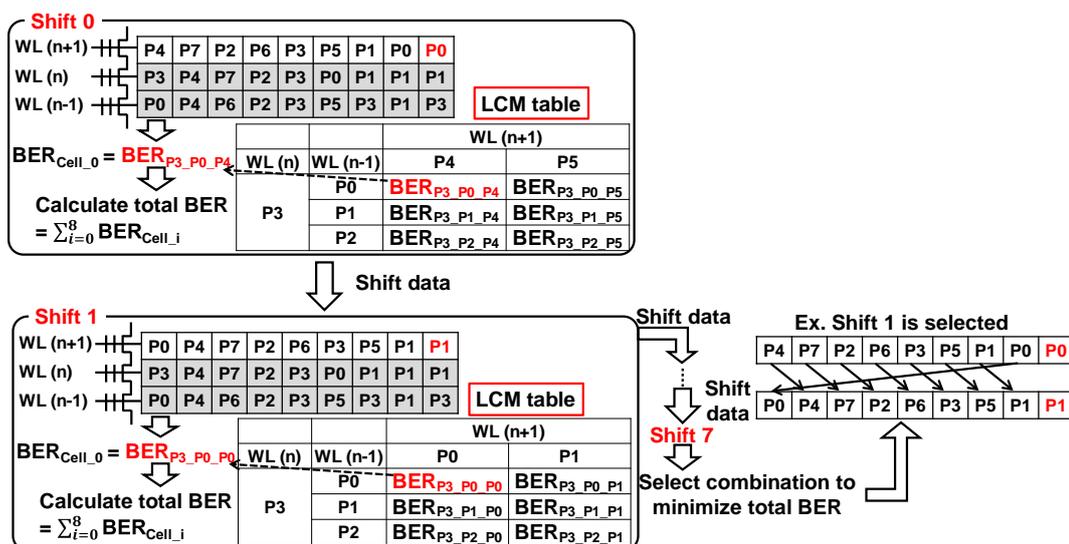


図5. 提案する  $V_{TH}$  Nearing. WL(n+1)のメモリセルを書き込むとき、データを右に1個、2個、3個・・・7個、シフトなしの8通りから、最も上下のしきい値電圧が近くなる(エラーが最小になる)組み合わせを選ぶ。

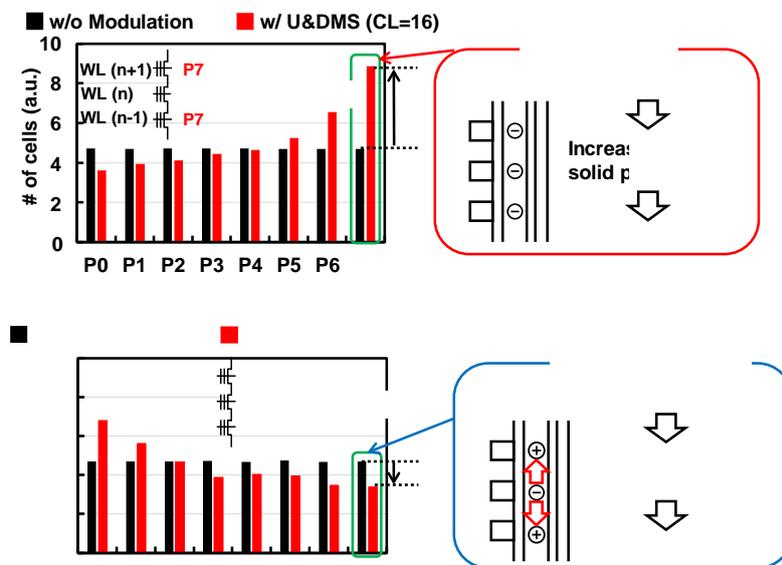


図6. 提案する  $V_{TH}$  Nearing の測定結果。赤字が提案手法、黒字が従来。(上図)隣のメモリセル(WL(n+1), WL(n-1))のしきい値電圧が最も高いP7状態の時、注目するメモリセル(WL(n))のしきい値電圧は高い状態に設定される。(下図)隣のメモリセル(WL(n+1), WL(n-1))のしきい値電圧が最も低いP0状態の時、注目するメモリセル(WL(n))のしきい値電圧は低い状態に設定される。

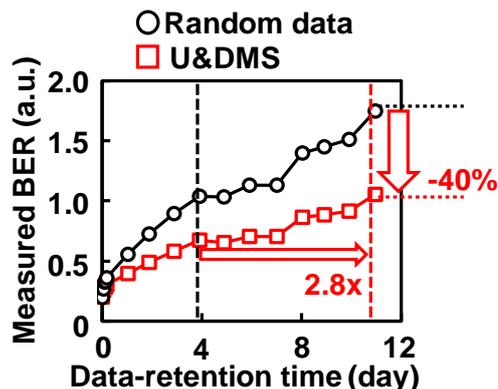


図7. 測定したメモリセルのエラー率(BER)。提案手法(赤字)により従来(黒字)と比べてエラーは40%減少し、データを保持できる寿命は2.8倍に増加。

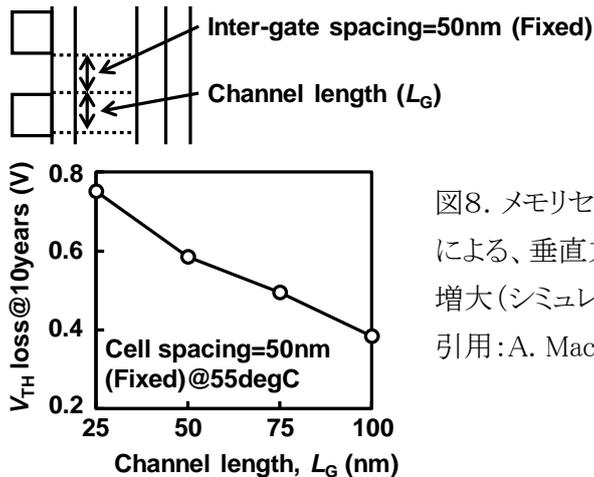


図8. メモリセルのチャンネル長 ( $L_G$ ) のスケーリング(縮小)による、垂直方向の電荷移動によるしきい値電圧変動の増大(シミュレーションによる予測)。

引用:A. Maconi et al., SSE, vol. 74, pp. 64-70, 2012.

### 【お問い合わせ先】

<研究に関すること>

竹内 健 (タケウチ ケン)

中央大学理工学部 教授 (電気電子情報通信工学科)

TEL : 03-3817-7374

E-mail: takeuchi@takeuchi-lab.org

<広報に関すること>

加藤 裕幹 (カトウ ユウキ)

中央大学 研究支援室

TEL 03-3817-1603, FAX 03-3817-1677

E-mail: k-shien@tamajs.chuo-u.ac.jp

### 【用語解説】

#### 注1)フラッシュメモリ

データの一括消去を特徴とする半導体記憶装置。電氣的にデータの読み書きが可能で、電源を切ってもデータが消えない。

#### 注2)しきい値電圧

3D NAND フラッシュメモリのセルはゲートとシリコン基板の間に電荷を蓄える電荷蓄積層をもつ MOS トランジスタになっており、ゲートに電圧が加わるとドレイン-ソース間に電流が流れる。この電流が流れ始める時のゲート電圧をしきい値電圧という。電荷蓄積層に電子が蓄えられている状態ではドレイン-ソース中に電流が流れないため読み出したデータは0となる。電荷蓄積層に電子が無い状態ではドレイン-ソース中に電流が流れるため、読み出したデータは1となる。

注3)クラウドデータセンタ

SNS やインターネットを使ったサービスを行うためにサーバーやストレージ、ネットワーク機器などの IT 機器を設置・運用する施設。